НИЖЕГОРОДСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

Лабораторная работа №3.

**Реакции процессора на внешний сигнал запроса прерывания и сигнал готовности подсистем**

Выполнил: Фомин Е.Н. 19-В-2

Принял: Киселев Ю.Н.

Н.Новгород

2021 г.

**Цель работы**

Изучение реакции процессора на внешние сигналы прерывания INT и READY (готовность подсистем) путем получения и исследование временных диаграмм, которые формирует процессор КР580ВМ80А при выполнении перехода на программу прерывания, анализ данных на ШД и ША в циклах перехода; исследование реакции на сигнал готовности подсистем Ready.

**Задача**

Написать программу, которая позволит исследовать реакцию процессора на внешний сигнал прерывания; произвести наблюдение и фиксацию временных диаграмм сигналов управления, сигналов шин данных и адреса в процессорных циклах с помощью логических анализаторов; снятие битовой информации по осциллограммам; исследование временных диаграмм, которые процессор формирует при получении внешних сигналов прерывания и сигнала готовности подсистем.

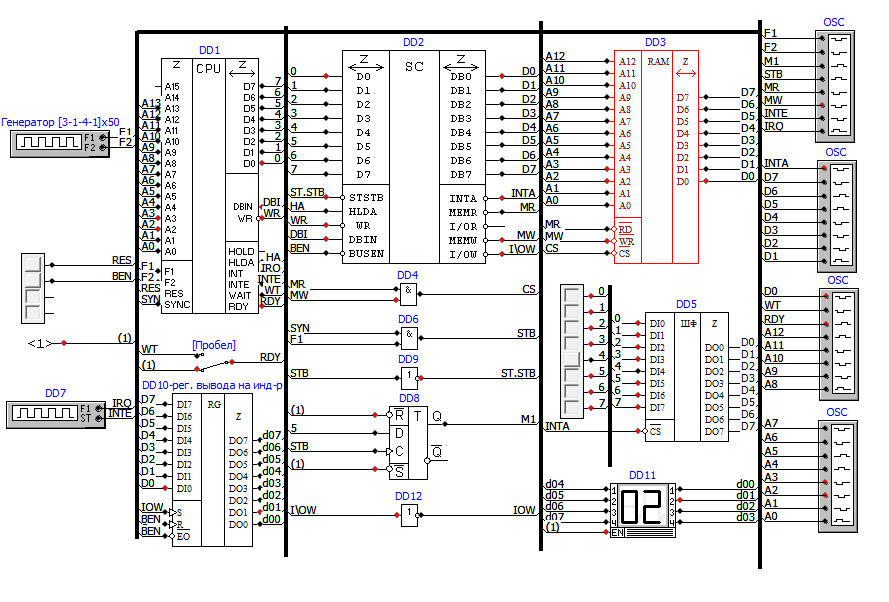


Схема Микро-ЭВМ

**Листинг**

*Мнемоника*

LXI SP,0100h

MVI A,01h

OUT 01h

EI

NOP

RST 5

MVI A,03h

OUT 01h

JMP 0003h

MVI A,02h

OUT 01h

RET

*В кодах*

0000: 31 00 01

0003: 3E 01

0005: D3 01

0007: FB

0008: 00

INT EF

0009: 3E 03

000B: D3 01

000D: C3 03 00

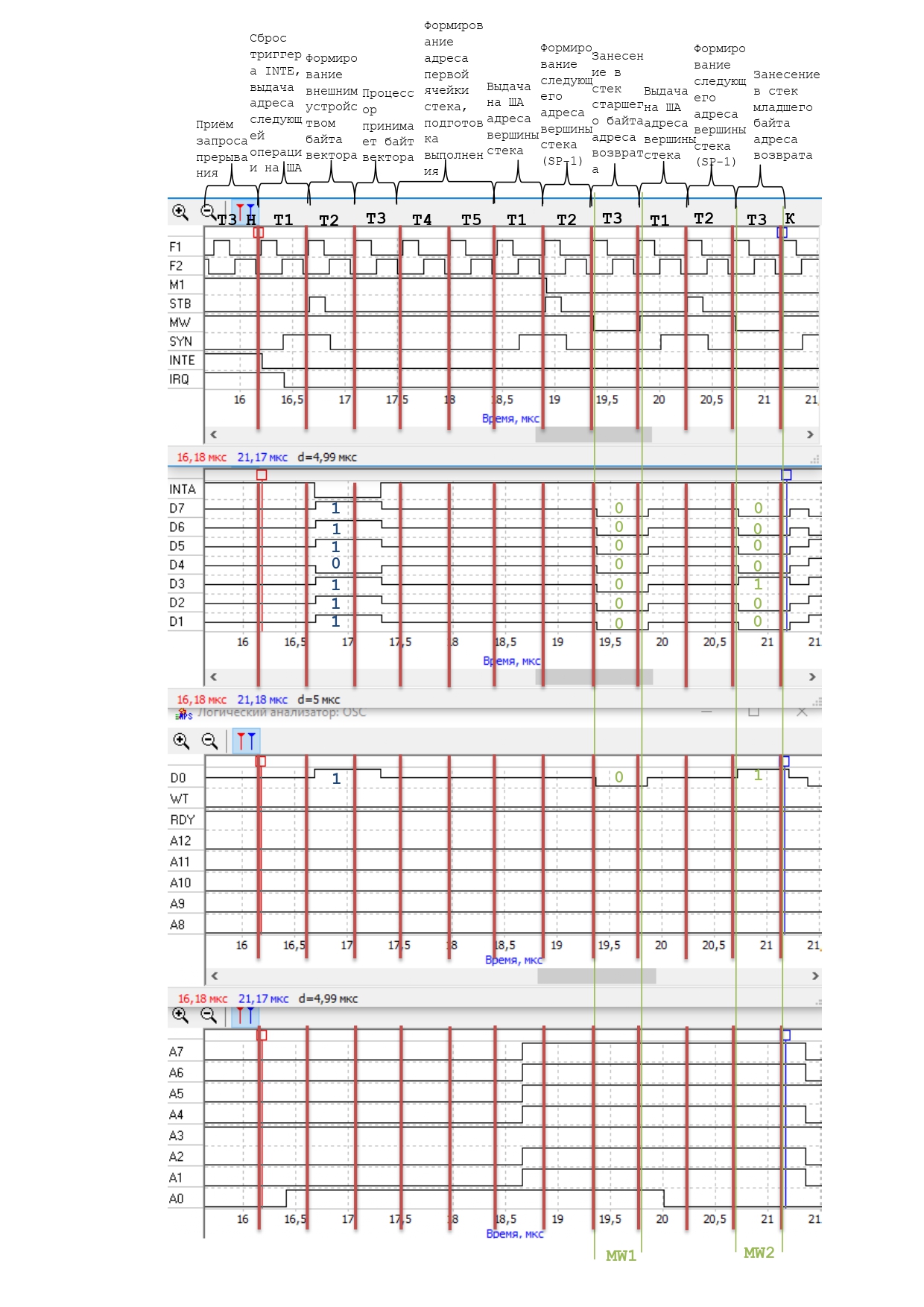
0028: 3E 02

002A: D3 01

002C: C9

В данном случае можно не использовать команду JMP, так как подпрограмма занимает только 5 байт памяти и не использует адреса 0030h и больше, которые относятся к RST 6. Если подпрограмма будет больше, то необходимо её хранить на участках памяти, не связанных с командами RST, и использовать команду JMP в ячейке памяти, в которую позволяет перейти команда RST (например, для RST 5 – ячейка с адресом 0028h).

Чтобы задать вектор прерывания RST 5 был использован элемент «Блок 8», на котором задан КОП в двоичном системе счисления.



**Результаты считывания данных с ШД**

|  |  |  |  |
| --- | --- | --- | --- |
|  | T2 | MW1 | MW2 |
| D7 | 1 | 0 | 0 |
| D6 | 1 | 0 | 0 |
| D5 | 1 | 0 | 0 |
| D4 | 0 | 0 | 0 |
| D3 | 1 | 0 | 1 |
| D2 | 1 | 0 | 0 |
| D1 | 1 | 0 | 0 |
| D0 | 1 | 0 | 1 |
|  | EFh | 00h | 09h |

T2 – Значение вектора прерывания, сформированного внешним устройством (КОП RST5).

MW1 – Старший байт адреса возврата.

MW2 – Младший байт адреса возврата.

**Результаты считывания данных с ША**

|  |  |  |  |
| --- | --- | --- | --- |
| A7 | 0 | 1 | 1 |
| A6 | 0 | 1 | 1 |
| A5 | 0 | 1 | 1 |
| A4 | 0 | 1 | 1 |
| A3 | 1 | 1 | 1 |
| A2 | 0 | 1 | 1 |
| A1 | 0 | 1 | 1 |
| A0 | 1 | 1 | 0 |
| Код | 09h | FFh | FEh |

По адресу 00001001 (0009h) хранится КОП следующей выполняемой команды (адрес возврата).

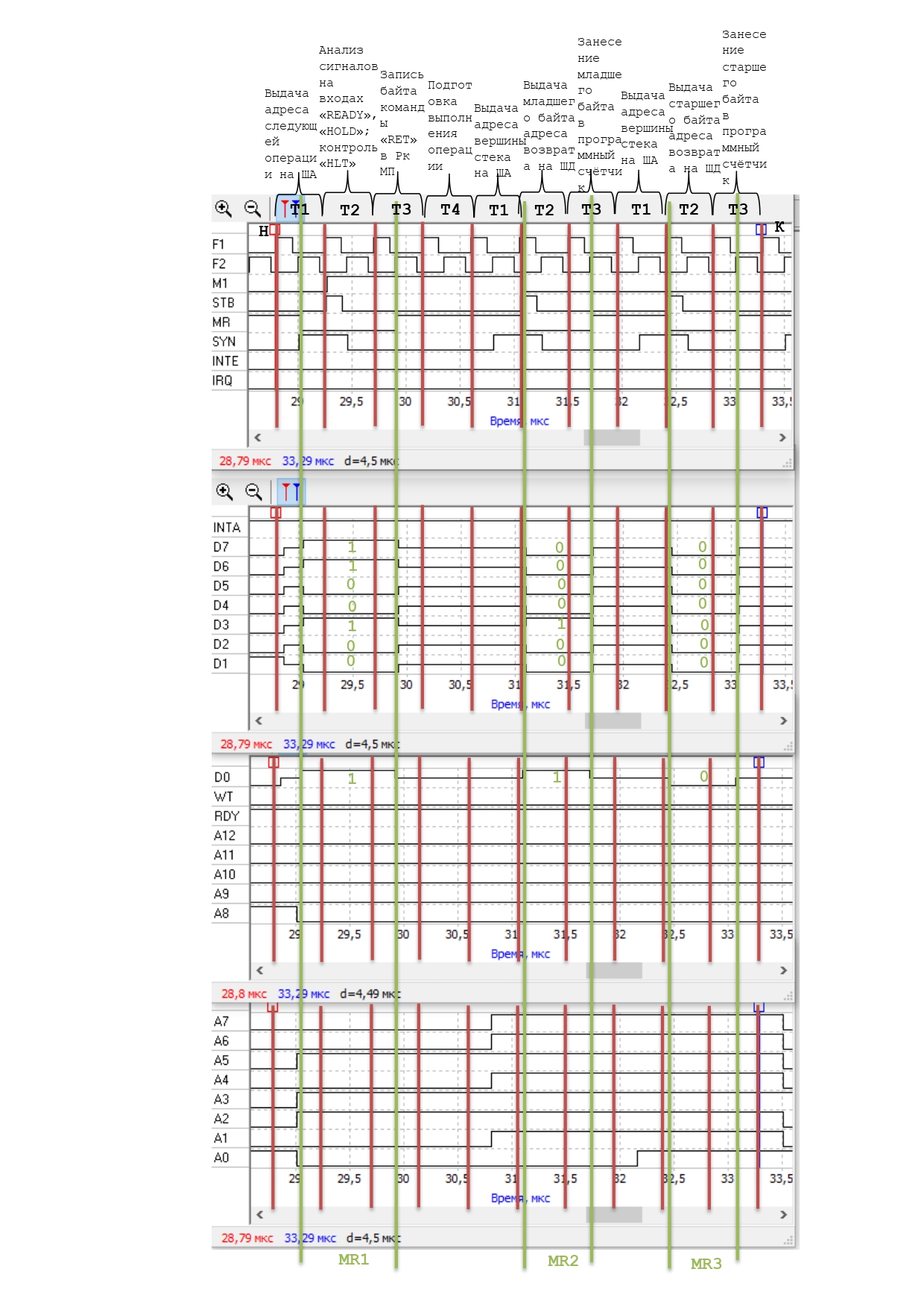
По адресу 11111111 (FFh) записан старший байт адреса.

По адресу 11111110 (FEh) записан младший байт адреса.

В схеме для формирования сигнала на вход INT микропроцессора используется генератор одиночного импульса DD7, который получает сигнал запуска с выхода INTE (выход триггера разрешения прерывания) процессора. Генератор формирует выходной сигнал запроса прерывания с управляемой длительностью.

Поскольку процессор устанавливает INTE в лог.1 после выполнения команды EI - разрешение прерывания, запрос прерывания появляется после выполнения этой команды.

При поступлении запроса прерывания процессор завершает выполнение текущей команды и переходит к исполнению цикла M1 Прерывание.



**Результаты считывания данных с ШД**

|  |  |  |  |
| --- | --- | --- | --- |
|  | MR1 | MR2 | MR3 |
| D7 | 1 | 0 | 0 |
| D6 | 1 | 0 | 0 |
| D5 | 0 | 0 | 0 |
| D4 | 0 | 0 | 0 |
| D3 | 1 | 1 | 0 |
| D2 | 0 | 0 | 0 |
| D1 | 0 | 0 | 0 |
| D0 | 1 | 1 | 0 |
|  | C9h | 09h | 00h |

MR1 – КОП команды RET.

MR2 – Младший байт адреса возврата.

MR3 – Старший байт адреса возврата.

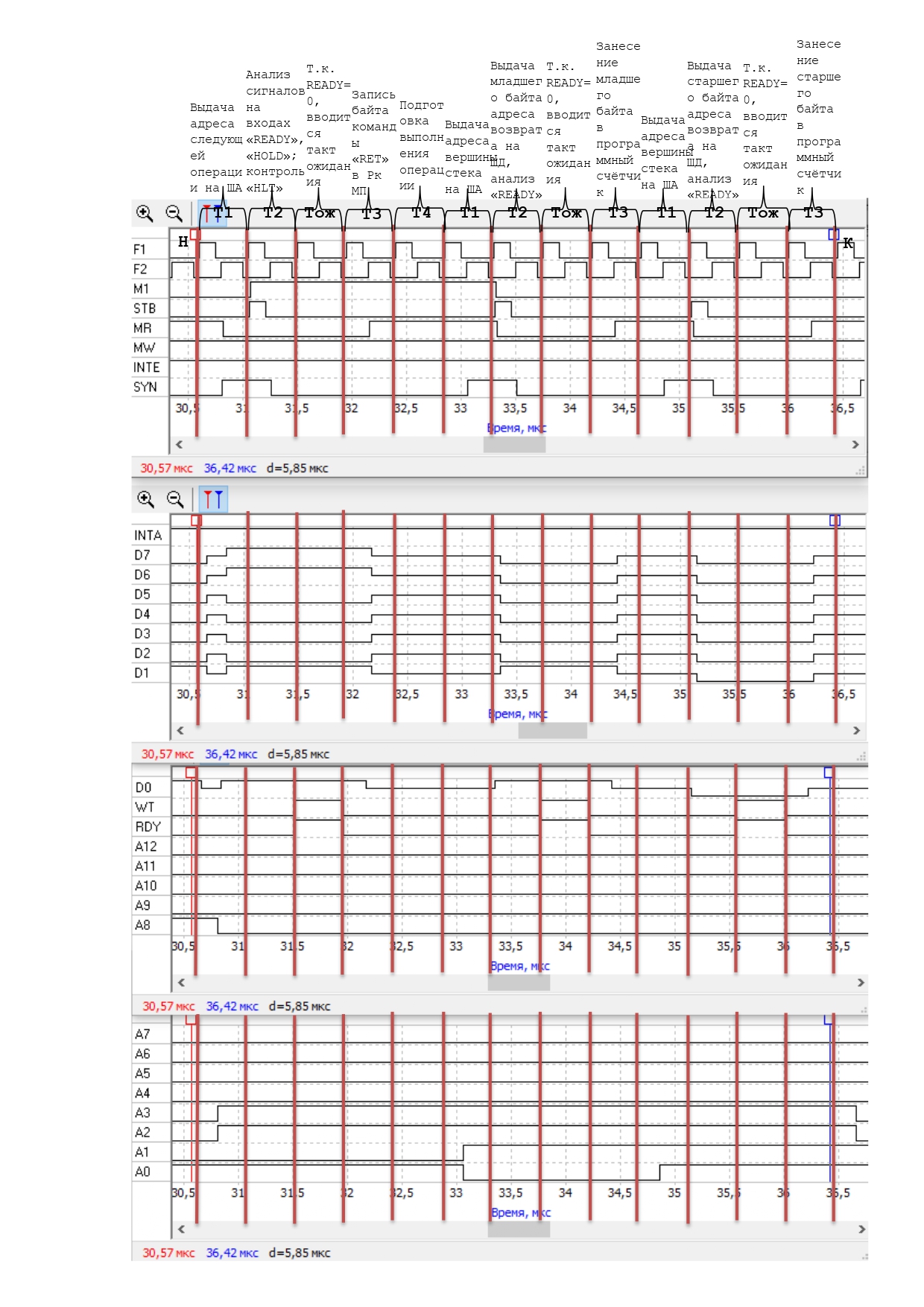
**Результаты считывания данных с ША**

|  |  |  |  |
| --- | --- | --- | --- |
| A7 | 0 | 1 | 1 |
| A6 | 0 | 1 | 1 |
| A5 | 1 | 1 | 1 |
| A4 | 0 | 1 | 1 |
| A3 | 1 | 1 | 1 |
| A2 | 1 | 1 | 1 |
| A1 | 0 | 1 | 1 |
| A0 | 0 | 0 | 1 |
| Код | 2Сh | FEh | FFh |

По адресу 00101100 (002Сh) хранится КОП выполняемой команды.

По адресу 11111110 (FEh) записан младший байт адреса возврата.

По адресу 11111111 (FFh) записан старший байт адреса возврата.



В такте Т2 процессор проверяет значение сигналов на входах READY и HOLD. Так как сигналы WAIT и READY связаны и имеют значение 0, процессор вместо такта Т3 выполняет такты Т -ожидания готовности, проверяя в каждом такте состояние входа READY, а также выдает сигнал высокого уровня на линию WAIT, подтверждающий режим ожидания (переключение сигнала на линии WAIT осуществляется фронтом импульса F1). Во время анализа сигналов READY и HOLD в Тож WAIT=1=READY. Сигнал READY=1 предшествует спаду импульса F2, поэтому линия WAIT переводится в состояние низкого потенциала, и процессор переходит в состояние Т3.

Таким образом, соединение линий READY и WAIT позволяет ввести один такт ожидания готовности в каждый цикл.

**Вывод**

В результате выполнения лабораторной работы были изучены реакции процессора на внешние сигналы прерывания INT и READY (готовность подсистем) путем получения и исследование временных диаграмм; проанализированы данные на ШД и ША в циклах перехода; исследованы реакции на сигнал готовности подсистем Ready.